

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-132747

(43)公開日 平成6年(1994)5月13日

(51)Int.Cl.⁶

H 03 G 1/00
G 11 C 11/417
11/409

識別記号 施内整理番号
Z 7350-5J

F I

技術表示箇所

6741-5L
6741-5L

G 11 C 11/34

305

354 A

審査請求 未請求 請求項の数1(全13頁) 最終頁に統く

(21)出願番号

特願平4-282064

(22)出願日

平成4年(1992)10月20日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(71)出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72)発明者 福井 元巖

愛知県春日井市高蔵寺町2丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74)代理人 弁理士 恩田 博宣

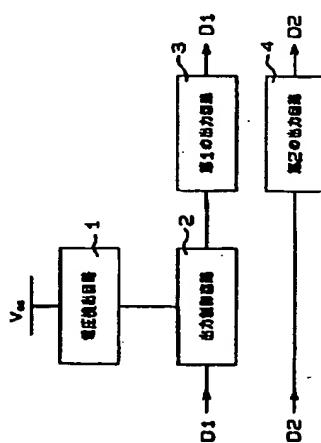
(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 半導体記憶装置の出力回路において、電源電圧が高い場合には過渡的に大きな出力電流が流れ、出力信号にノイズが発生するのを防止し、電源電圧が低い場合には出力信号の立ち上がり及び立ち下がりを急峻にしてアクセス時間を短くすることを目的とする。

【構成】 電圧検出回路1は、電源電圧VCCが設定電圧以上であるかどうかを検出する。出力制御回路2は、電源電圧VCCが設定電圧以上のときには外部から入力した第1の信号D1を予め定められた時間だけ遅延させて出力し、電源電圧VCCが設定電圧より低いときには外部から入力した第1の信号D1を遅延させずに出力する。第1の出力回路3は、出力制御回路2から出力された第1の信号D1を入力して出力する。第2の出力回路4は、前記第1の信号D1と共に外部から入力した信号D2を、出力制御回路2を介すことなく直接入力して出力する。

本発明の概要と明細



1

2

【特許請求の範囲】

【請求項1】 電源電圧(VCC)が設定電圧以上であるかどうかを検出する電圧検出回路(1)と、電源電圧(VCC)が設定電圧以上のときには外部から入力した第1の信号(D1)を予め定められた時間だけ遅延させて出力し、電源電圧(VCC)が設定電圧より低いときには外部から入力した第1の信号(D1)を遅延させずに出力する出力制御回路(2)と、出力制御回路(2)から出力された第1の信号(D1)を入力して出力する第1の出力回路(3)と前記第1の信号(D1)と共に外部から入力した第2の信号(D2)を、出力制御回路(2)を介すことなく直接入力して出力する第2の出力回路(4)とを備えたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置に係り、詳しくは、半導体記憶装置の出力回路に関するものである。

【0002】 近年、半導体記憶装置においては、出力を多ビット化することが求められている。出力を多ビット化するには、各ビット毎に出力回路を設けることになるが、その場合、各出力回路から同じレベルの出力信号が同時にに出力されると、出力信号にノイズが生じやすくなる。

【0003】 すなわち、各出力回路から同じレベルの出力信号が同時にに出力されると、各出力回路の出力電流を合わせた大きな電流が過渡的に流れ、出力ラインの特性インピーダンスの不整合などにより、各出力信号にリング等のノイズが生じやすくなる。

【0004】 また、近年、半導体記憶装置のさらなる高集積化を実現するために、電源ラインの線幅は必要最小限に抑えられており、各出力回路から見た電源容量は大きいとはいえないくなっている。そのため、各出力回路から同じレベルの出力信号が同時にに出力されると、電源から一度に大きな電流が引かれることになり、電源レベルのふらつきが半導体記憶装置内部に誤動作を引き起こされることになる。

【0005】 特に、半導体記憶装置の使用電圧の多様化(5V系、3V系等)に伴って、高い電源電圧で半導体記憶装置を使用する場合には、出力信号のノイズレベルも大きくなるため、その低減が重要な課題となっている。

【0006】 一方、低い電源電圧で半導体記憶装置を使用する場合には、出力信号のノイズレベルが小さくなつて電源から引かれる電流も小さくなるため、半導体記憶装置に対するアクセス時間の短縮の方がより重要な課題となる。

【0007】 つまり、出力信号のレベルがHレベルまたはLレベルに確定するまでの時間、すなわち、出力信号の立ち上がり及び立ち下がりに要する時間を短くするこ

とにより、半導体記憶装置からデータを読み出す(出力させる)際のアクセス時間を短縮することが求められている。

【0008】

【従来の技術】 従来の半導体記憶装置では、図7に示すように、データ出力バッファ61から出力されるデータDn, Dn+1, Dm, Dm+1が、それぞれ同じ回路構成の出力回路62を介して外部に出力されるようになっている。

【0009】 図8に、出力回路62の回路図を示す。各CMOSインバータ63, 64を構成する各PMOSトランジスタのソースは高電位側電源VCCに接続され、各CMOSインバータ63, 64を構成する各NMOSトランジスタのソースはグランドに接続されている。

【0010】 また、両CMOSインバータ63, 64の出力端子は共通に接続されて、その共通の出力端子からそれぞれデータDn, Dn+1, Dm, Dm+1が出力される。そして、CMOSインバータ63の入力端子には、データ出力バッファ61から出力されたデータDn, Dn+1, Dm, Dm+1のいずれかが入力される。一方、CMOSインバータ64の入力端子には、CMOSインバータ63に入力されるのと同じデータDn, Dn+1, Dm, Dm+1が、シリーズに接続された4つのインバータ65を介して入力される。

【0011】 従って、CMOSインバータ64はCMOSインバータ63に比べて、各インバータ65の遅延時間の合計値分だけ遅れて動作することになる。すなわち、データ出力バッファ61から出力されるデータDn, Dn+1, Dm, Dm+1がLレベルからHレベルに立ち上がると、CMOSインバータ63の出力信号は、速やかにHレベルからLレベルに切り換わる。それに対して、CMOSインバータ64の出力信号は、各インバータ65の遅延時間の合計値分だけ遅れてHレベルからLレベルに切り換わる。

【0012】 同様に、データ出力バッファ61からのデータDn, Dn+1, Dm, Dm+1がHレベルからLレベルに立ち上がると、CMOSインバータ63の出力信号は、速やかにLレベルからHレベルに切り換わる。それに対して、CMOSインバータ64の出力信号は、各インバータ65の遅延時間の合計値分だけ遅れてLレベルからHレベルに切り換わる。

【0013】 このように、CMOSインバータ64はCMOSインバータ63に比べて遅れて動作するため、両CMOSインバータ63, 64の共通の出力端子から出力されるデータDn, Dn+1, Dm, Dm+1の立ち上がり及び立ち下がりは緩やかなものになる。

【0014】 すなわち、各CMOSインバータ63, 64を時分割で動作(つまり、スタガ動作)させることにより、出力回路62の出力信号(データDn, Dn+1, Dm, Dm+1)の立ち上がり及び立ち下がりを緩やかにしていくわけである。

3

【0015】従って、各出力回路62から同じレベルのデータD_n, D_{n+1}, D_m, D_{m+1}が同時に出力された場合でも、各出力回路62から過渡的に大きな出力電流が流れることはなく、出力ラインの特性インピーダンスの不整合などがあっても、各データD_n, D_{n+1}, D_m, D_{m+1}にリシング等のノイズが生じることはなくなる。

【0016】また、電源ラインの線幅が細く、各出力回路62から見た電源容量が小さい場合に、各出力回路62から同じレベルのデータD_n, D_{n+1}, D_m, D_{m+1}が同時に出力されても、電源から一度に大きな電流が引かれる事はなくなる。そのため、電源レベルのふらつき(高電位側電源VCCの電圧VCCおよびグランドレベルのふらつき)は生じず、電源レベルのふらつきが半導体記憶装置内部に誤動作を引き起こせることはなくなる。

【0017】ここで、各出力回路62から出力されるデータD_n, D_{n+1}, D_m, D_{m+1}の立ち上がり及び立ち下がりは、各CMOSインバータ63, 64を構成するPおよびNMOSトランジスタのトランジスタサイズを変更することによって調整することができる。

【0018】すなわち、CMOSインバータ63の各MOSトランジスタのトランジスタサイズを、CMOSインバータ64のそれに比べて小さくすることにより、各出力回路62から出力されるデータD_n, D_{n+1}, D_m, D_{m+1}の立ち上がり及び立ち下がりをより緩やかにすることができる。

【0019】

【発明が解決しようとする課題】ところで、近年、半導体記憶装置の使用電圧は多様化しており、従来、一般的であった5V系に加えて、3V系の使用が増えてきている。

【0020】その3V系では5V系に比べて、各出力回路62から出力されるデータD_n, D_{n+1}, D_m, D_{m+1}のHレベルとLレベルとの差が3/5と小さくなり、その分だけ、ノイズのレベルも小さくなる。

【0021】そのため、3V系では、各出力回路62から出力されるデータD_n, D_{n+1}, D_m, D_{m+1}のノイズよりもむしろ、半導体記憶装置に対するアクセス時間の短縮の方がより重要になる。

【0022】つまり、各出力回路62から出力されるデータD_n, D_{n+1}, D_m, D_{m+1}がHレベルまたはLレベルに確定するまでの時間、すなわち、各出力回路62から出力されるデータD_n, D_{n+1}, D_m, D_{m+1}の立ち上がり及び立ち下がりに要する時間を短くしなければならない。

【0023】ところが、出力回路62から出力されるデータD_n, D_{n+1}, D_m, D_{m+1}の立ち上がり及び立ち下がりに要する時間は、高電位側電源VCCの電圧VCC(以下、電源電圧VCCとする)が低下すると、むしろ長くなってしまう。

【0024】すなわち、図9に示すように、出力回路62から出力されるデータD_n, D_{n+1}, D_m, D_{m+1}がLレベ

ル(=0V)からHレベル(=VCC)に立ち上がる際、電源電圧VCCが高いとき(図9に示す「VCC1」)には、高いとき(図9に示す「VCC2」)に比べて遅れて立ち上がりだす(図9に示す時間t)。

【0025】これは、CMOSインバータ63のしきい値電圧が電源電圧VCCに対応しているためであり、電源電圧VCCが高いときには、その分、CMOSインバータ63のしきい値電圧も低くなって、CMOSインバータ63の動作は遅れる。

【0026】同様に、CMOSインバータ64のしきい値電圧も電源電圧VCCに対応しており、電源電圧VCCが高いときには、その分、CMOSインバータ64のしきい値電圧も低くなって、CMOSインバータ64の動作は遅れる。

【0027】従って、図9に示すように、電源電圧VCCが高いとき(VCC1)には、高いとき(VCC2)に比べて、各出力回路62から出力されるデータD_n, D_{n+1}, D_m, D_{m+1}の立ち上がりに要する時間は長くなる。

【0028】同様に、電源電圧VCCが高いときには、高いときに比べて、各出力回路62から出力されるデータD_n, D_{n+1}, D_m, D_{m+1}の立ち下がりに要する時間も長くなる。

【0029】このように、従来の出力回路62では、2つのCMOSインバータ63, 64を設けてスタガ動作させることにより、出力回路62の出力信号の立ち上がり及び立ち下がりを緩やかにして、過渡的に大きな出力電流が流れのを防いでいた。

【0030】そのため、電源電圧VCCが高い場合(5V系)には、出力回路62の出力信号のノイズや電源レベルのふらつきを効果的に低減することができる。しかしながら、過渡的に大きな出力電流が流れず、出力回路62の出力信号のノイズや電源レベルのふらつきが問題にならない電源電圧VCCが低い場合(3V系)にも、出力回路62の出力信号の立ち上がり及び立ち下がりを緩やかにしてしまう。そのため、電源電圧VCCが低い場合には、半導体記憶装置に対するアクセス時間が長くなるという問題があった。

【0031】本発明は上記問題点を解決するためになされたものであって、その目的は、電源電圧が高い場合には過渡的に大きな出力電流が流れ出力信号にノイズが発生するのを防止し、電源電圧が低い場合には出力信号の立ち上がり及び立ち下がりを急峻にしてアクセス時間を短くすることができる半導体記憶装置の出力回路を提供することにある。

【0032】

【課題を解決するための手段】図1は本発明の原理説明図である。電圧検出回路1は、電源電圧VCCが設定電圧以上であるかどうかを検出する。

【0033】出力制御回路2は、電源電圧VCCが設定電圧以上のときには外部から入力した第1の信号D1を予

5

め定められた時間だけ遅延させて出力し、電源電圧VCCが設定電圧より低いときには外部から入力した第1の信号D1を遅延させずに出力する。

【0034】第1の出力回路3は、出力制御回路2から出力された第1の信号D1を入力して出力する。第2の出力回路4は、前記第1の信号D1と共に外部から入力した信号D2を、出力制御回路2を介すことなく直接入力して出力する。

【0035】

【作用】従って本発明によれば、電源電圧VCCが設定電圧以上のとき、出力制御回路2は、外部から入力した信号D1を予め定められた時間だけ遅延させて第1の出力回路3に出力する。また、電源電圧VCCが設定電圧より低いとき、出力制御回路2は、外部から入力した第1の信号D1を遅延せずに第1の出力回路3に出力する。

【0036】一方、第2の出力回路4は、外部から入力した第2の信号D2を出力制御回路2を介すことなく直接入力する。そのため、電源電圧VCCが設定電圧以上のときに、外部から信号D1, D2が同時に入力された場合、第1の出力回路3から出力される第1の信号D1は、第2の出力回路4から出力される第2の信号D2に対して、出力制御回路2の遅延時間分だけ遅れて出力される。

【0037】また、電源電圧VCCが設定電圧より低いときに、外部から信号D1, D2が同時に入力された場合、第1の出力回路3から出力される第1の信号D1と第2の出力回路4から出力される第2の信号D2とは同時に出力される。

【0038】

【実施例】以下、本発明をダイナミックRAM(DRAM)の出力回路に具体化した一実施例を図面に従って説明する。

【0039】図2に、本実施例のDRAMの構成を示す。メモリ・セルアレイ21は、2次元に配列されたメモリ・セル(図示略)から構成され、各メモリ・セルは1ビットのデータを記憶するようになっている。

【0040】外部アドレスA0～A9は、アドレス・バッファ22を介してロードアドレスとコラムアドレスとに分けられ、ロードアドレスはロードコーダ23に、コラムアドレスはコラムデコーダ24に、それぞれ入力される。

【0041】そして、ロー・デコーダ23とコラム・デコーダ24により、外部アドレスA0～A9はXとYの各セレクト信号の一つの組合せに変換される。そのXとYの各セレクト信号によって、XとYの各セレクトライン(図示略)の一つの組合せが選択され、選択されたXとYの各セレクトラインの交点にあるメモリ・セルが決定される。この決定されたメモリ・セルが、リードおよびライト動作の対象になる。尚、コラム・デコーダ24によって生成されるYセレクト信号は、センスアンプ

6

および入出力(I/O)ゲート25を介してメモリ・セルアレイ21に出力される。

【0042】クロックジェネレータ26はロードアドレス・ストローブ信号バーRASに基づいて、モードコントロール27とロードコーダ23およびセンスアンプ・I/Oゲート25を制御する。尚、モードコントロール27とクロックジェネレータ26とは相互に制御されるようになっている。

【0043】AND回路28のL能動入力端子にはコラムアドレス・ストローブ信号バーCASが入力され、H能動入力端子にはクロックジェネレータ26の制御信号が入力される。

【0044】クロックジェネレータ29はAND回路28の出力信号のレベルに基づいて、アドレスバッファ22とコラムデコーダ24とライトクロック・ジェネレータ30およびデータ出力バッファ31を制御する。

【0045】モードコントロール27はリフレッシュ・アドレスカウンタ32を制御し、リフレッシュ・アドレスカウンタ32が生成するリフレッシュ・アドレス信号を、アドレスバッファ22内のプリデコーダ33に出力させる。

【0046】すなわち、モードコントロール27は、ロードアドレス・ストローブ信号バーRASおよびコラムアドレス・ストローブ信号バーCASに基づくキャス・ビフォア・ラス(CBR)・リフレッシュを実行するよう、リフレッシュ・アドレスカウンタ32を制御する。

【0047】ライトクロック・ジェネレータ30は、クロックジェネレータ29の制御信号とライト・イネーブル信号バーWEとに基づいて、データ入力バッファ34を制御する。

【0048】すなわち、データ入力バッファ34はライトクロック・ジェネレータ30の制御信号に基づいて、外部から入力されるデータDn, Dn+1, Dm, Dm+1…を、センスアンプ・I/Oゲート25またはデータ出力バッファ31に出力する。

【0049】データ出力バッファ31はアウトプット・イネーブル信号バーOEに基づいて、メモリ・セルアレイ21から読み出されたデータ、または、データ入力バッファ34から出力されるデータを、4ビットのデータDn, Dn+1, Dm, Dm+1として出力する。

【0050】そのデータ出力バッファ31から出力されるデータDn, Dn+1, Dm, Dm+1の内、データDn, Dn+1は、それぞれ出力制御回路35および出力回路36を介して外部に出力される。また、データ出力バッファ31から出力されるデータDn, Dn+1, Dm, Dm+1の内、データDm, Dm+1は、それぞれ出力回路36のみを介して外部に出力される。

【0051】すなわち、外部アドレスA0～A9によって選択されたメモリ・セルアレイ21内の適宜なメモリ・セルに記憶されているデータが読み出され、センスア

ンプ・I/Oゲート25を介してデータ出力バッファ31に出力される。そして、メモリ・セルから読み出されたデータは、データ出力バッファ31から直接または出力制御回路35を介して各出力回路36に出力され、各出力回路36からデータD_n, D_{n+1}, D_m, D_{m+1}として出力される。

【0052】また、ペリファイ・チェックを行う場合には、データ入力バッファ34に入力されたデータD_n, D_{n+1}, D_n, D_{m+1}…を、そのままデータ出力バッファ31から出力することもできる。

【0053】尚、各出力制御回路35は全て同じ構成であって、電圧検出回路37から出力される制御信号φ, パーφによって制御される。また、各出力回路36も全て同じ構成である。

【0054】そして、DRAM内には基板バイアス・ジェネレータ38が設けられており、DRAMが形成されている半導体基板に適宜な基板バイアスをかけるようになっている。

【0055】図3に、電圧検出回路37の回路図を示す。電圧検出回路37は、エンハンスマント型NMOSトランジスタ41と抵抗RとCMOSインバータ42～44とから構成されている。

【0056】NMOSトランジスタ41のゲートおよびドレインは高電位側電源VCCに接続され、ソースは抵抗Rを介してグランドに接続されていると共にCMOSインバータ42の入力端子に接続されている。

【0057】各CMOSインバータ42～44はシリーズに接続され、CMOSインバータ43の出力端子から制御信号φが、また、CMOSインバータ44の出力端子から制御信号パーφが取り出される。

【0058】従って、NMOSトランジスタ41のドレン電圧およびゲート電圧は、高電位側電源VCCの電圧VCC(以下、電源電圧VCCとする)と等しくなる。そのため、電源電圧VCCがNMOSトランジスタ41のしきい値電圧V_tb41より低いとき、NMOSトランジスタ41のソース・ゲート間電圧VGS41はしきい値電圧V_tb41より低くなる(VGS41 < V_tb41)。すると、NMOSトランジスタ41はオフ領域になり、NMOSトランジスタ41のソース電圧VS(すなわち、インバータ42の入力電圧)はグランドレベル(すなわち、Lレベル)になる。

【0059】その結果、CMOSインバータ43の出力信号である制御信号φはLレベルになり、CMOSインバータ44の出力信号である制御信号パーφはHレベル(すなわち、電源電圧VCC)になる。

【0060】一方、電源電圧VCCがNMOSトランジスタ41のしきい値電圧V_tb41より高いとき、NMOSトランジスタ41のソース・ゲート間電圧VGS41はしきい値電圧V_tb41以上になる(VGS41 ≥ V_tb41)。すると、NMOSトランジスタ41はオン領域になり、NMOS

トランジスタ41のソース電圧VSは、電源電圧VCCからしきい値電圧V_tb41を差し引いた値になる(VS = V_{CC} - V_tb41)。

【0061】ここで、ソース・ゲート間電圧VGS41からしきい値電圧V_tb41を差し引いた値よりNMOSトランジスタ41のソース・ドレイン間電圧VDS41の方が低いとき(VDS41 < VGS41 - V_tb41)、NMOSトランジスタ41は線形領域になる。

【0062】NMOSトランジスタ41が線形領域にあるとき、NMOSトランジスタ41のソース電圧VSはCMOSインバータ42のしきい値電圧より低くなり、CMOSインバータ42の出力信号はHレベルになる。

【0063】その結果、CMOSインバータ43の出力信号である制御信号φはLレベルになり、CMOSインバータ44の出力信号である制御信号パーφはHレベルになる。

【0064】また、ソース・ドレイン間電圧VDS41がソース・ゲート間電圧VGS41からしきい値電圧V_tb41を差し引いた値より高いとき(VDS41 ≥ VGS41 - V_tb41)、

NMOSトランジスタ41は飽和領域になる。

【0065】NMOSトランジスタ41が飽和領域にあるとき、NMOSトランジスタ41のソース電圧VSはCMOSインバータ42のしきい値電圧より高くなり、CMOSインバータ42の出力信号はLレベルになる。

【0066】その結果、CMOSインバータ43の出力信号である制御信号φはHレベルになり、CMOSインバータ44の出力信号である制御信号パーφはLレベルになる。

【0067】このように、ソース・ゲート間電圧VGS41からしきい値電圧V_tb41を差し引いた値よりNMOSトランジスタ41のソース・ドレイン間電圧VDS41の方が低いとき(すなわち、NMOSトランジスタ41がオフ領域またはオン領域で線形領域にあるとき)、制御信号φはLレベル、制御信号パーφはHレベルになる。

【0068】また、ソース・ゲート間電圧VGS41からしきい値電圧V_tb41を差し引いた値よりNMOSトランジスタ41のソース・ドレイン間電圧VDS41の方が高いとき(すなわち、NMOSトランジスタ41がオン領域で飽和領域にあるとき)、制御信号φはHレベル、制御信号パーφはLレベルになる。

【0069】すなわち、電源電圧VCCが、NMOSトランジスタ41のしきい値電圧V_tb41に対応して定まる電圧(以下、設定電圧Aとする)より低い場合、制御信号φはLレベル、制御信号パーφはHレベルになる。一方、電源電圧VCCが設定電圧A以上の場合、制御信号φはHレベル、制御信号パーφはLレベルになる。

【0070】ところで、NMOSトランジスタ41のしきい値電圧V_tb41は、NMOSトランジスタ41のトランジスタサイズを変更することによって適宜に調整することができる。

【0071】従って、前記設定電圧Aは、NMOSトランジスタ41のトランジスタサイズを変更することによって適宜に定めることができる。尚、抵抗Rの抵抗値を十分に大きく設定しておくことにより、NMOSトランジスタ41がオン領域になった際に、高電位側電源VCCからNMOSトランジスタ41および抵抗Rを介してグランドに流れる貫通電流を小さくすることができる。従って、NMOSトランジスタ41がオン領域になっても、消費電力が増大することはない。

【0072】図4に、出力制御回路35の回路図を示す。データ出力バッファ31から出力されるデータDn, Dn+1は、各CMOSトランスマッシュゲート51, 52の一方の端子に入力される。

【0073】そして、CMOSトランスマッシュゲート51の他方の端子は直接出力回路36に接続され、CMOSトランスマッシュゲート52の他方の端子はシリーズに接続された4つのインバータ53～56を介して出力回路36に接続される。

【0074】CMOSトランスマッシュゲート51は、NMOSトランジスタ51aとPMOSトランジスタ51bとから構成される。また、CMOSトランスマッシュゲート52は、NMOSトランジスタ52aとPMOSトランジスタ52bとから構成される。

【0075】そして、NMOSトランジスタ51aおよびPMOSトランジスタ52bの各ゲートには、電圧検出回路37の制御信号バー \bar{v} が入力される。また、NMOSトランジスタ51bおよびPMOSトランジスタ52aの各ゲートには、電圧検出回路37の制御信号 v が入力される。

【0076】従って、制御信号 v がLレベルで制御信号バー \bar{v} がHレベルの場合、CMOSトランスマッシュゲート51は開き、CMOSトランスマッシュゲート52は閉じることになる。反対に、制御信号 v がHレベルで制御信号バー \bar{v} がLレベルの場合、CMOSトランスマッシュゲート52は開き、CMOSトランスマッシュゲート51は閉じることになる。

【0077】CMOSトランスマッシュゲート52が開いて、CMOSトランスマッシュゲート51が閉じた場合、データ出力バッファ31から出力されるデータDn, Dn+1は、4つのインバータ53～56を介して出力回路36に出力される。

【0078】一方、CMOSトランスマッシュゲート51が開いて、CMOSトランスマッシュゲート52が閉じた場合、データ出力バッファ31から出力されるデータDn, Dn+1は、直接出力回路36に出力される。

【0079】すなわち、制御信号 v がHレベルで制御信号バー \bar{v} がLレベルの場合は、制御信号 v がLレベルで制御信号バー \bar{v} がHレベルの場合に比べ、データ出力バッファ31から出力されるデータDn, Dn+1が、各インバータ53～56の遅延時間の合計値分だけ遅れて各出

力回路36に出力されることになる。

【0080】ところで、前記したように、制御信号 v がLレベル、制御信号バー \bar{v} がHレベルになるのは、電源電圧VCCが設定電圧Aより低い場合である。また、制御信号 v がHレベル、制御信号バー \bar{v} がLレベルになるのは、電源電圧VCCが設定電圧A以上の場合である。

【0081】従って、電源電圧VCCが設定電圧A以上の場合には、電源電圧VCCが設定電圧Aより低い場合に比べ、データ出力バッファ31から出力されるデータDn, Dn+1が、各インバータ53～56の遅延時間の合計値分だけ遅れて各出力回路36に出力されることになる。

【0082】図5に、出力回路36の回路図を示す。出力回路36はCMOSインバータであって、データ出力バッファ31から直接送られてくるデータDn, Dn+1、または、出力制御回路回路35を介して送られてくるデータDn, Dn+1を入力する。

【0083】そして、出力回路36は、入力した各データDn, Dn+1, Dm, Dm+1を外部に出力する。次に、上記のように構成された本実施例の動作を、図6に従って説明する。尚、DRAMの動作については公知であると共に、本発明の要旨とは直接関係しないため、ここでは、その説明を省略する。

【0084】電源電圧VCCが設定電圧A以上の場合、各出力制御回路35のゲート52は開き、ゲート51は閉じる。従って、データ出力バッファ31から出力されるデータDn, Dn+1, Dm, Dm+1の内、データDn, Dn+1はデータDm, Dm+1に対して、各出力制御回路35の各インバータ53～56の遅延時間の合計値分だけ遅れて各出力回路36に出力される。

【0085】そのため、図7に示すように、データ出力バッファ31から出力されるデータDn, Dn+1, Dm, Dm+1がHレベルからLレベルに立ち下がった場合、各出力回路36から出力されるデータDn, Dn+1, Dm, Dm+1の内、データDn, Dn+1はデータDm, Dm+1に対して、遅れてLレベルからHレベルに切り換わる。

【0086】同様に、データ出力バッファ31から出力されるデータDn, Dn+1, Dm, Dm+1がLレベルからHレベルに立ち上がった場合、各出力回路36から出力されるデータDn, Dn+1, Dm, Dm+1の内、データDn, Dn+1はデータDm, Dm+1に対して、遅れてHレベルからLレベルに切り換わる。

【0087】このように、電源電圧VCCが設定電圧A以上の場合には、各出力回路36から出力されるデータDn, Dn+1, Dm, Dm+1の内、データDn, Dn+1はデータDm, Dm+1に対して、立ち上がり及び立ち下がりが遅れることになる。

【0088】従って、データ出力バッファ31から同じレベルのデータDn, Dn+1, Dm, Dm+1が同時に出力された場合でも、各出力回路36の出力電流の合計値が過渡的に大きくなることはなく、出力ラインの特性インピー

11

ダンスの不整合などがあっても、各データ $D_n, D_{n+1}, D_m, D_{m+1}$ にリンク等のノイズが生じることはない。

【0089】また、電源ラインの線幅が細く、各出力回路 3 6 から見た電源容量が小さい場合に、データ出力バッファ 3 1 から同じレベルのデータ $D_n, D_{n+1}, D_m, D_{m+1}$ が同時に出力されても、電源から一度に大きな電流が引かれる事はない。そのため、電源レベルのふらつき

(電源電圧 VCC およびグランドレベルのふらつき) は生じず、電源レベルのふらつきが半導体記憶装置内部に誤動作を引き起こさせることはない。

【0090】一方、電源電圧 VCC が設定電圧 A より低い場合、各出力制御回路 3 5 のゲート 5 1 は開き、ゲート 5 2 は閉じる。従って、データ出力バッファ 3 1 から出力されるデータ $D_n, D_{n+1}, D_m, D_{m+1}$ は、全て同時に各出力回路 3 6 に出力される。

【0091】そのため、データ出力バッファ 3 1 から出力されるデータ $D_n, D_{n+1}, D_m, D_{m+1}$ が H レベルから L レベルに立ち下がった場合、各出力回路 3 6 から出力されるデータ $D_n, D_{n+1}, D_m, D_{m+1}$ は全て同時に L レベルから H レベルに切り換わる。

【0092】同様に、データ出力バッファ 3 1 から出力されるデータ $D_n, D_{n+1}, D_m, D_{m+1}$ が L レベルから H レベルに立ち上った場合、各出力回路 3 6 から出力されるデータ $D_n, D_{n+1}, D_m, D_{m+1}$ は全て同時に H レベルから L レベルに切り換わる。

【0093】このように、電源電圧 VCC が設定電圧 A より低い場合には、各出力回路 3 6 から出力されるデータ $D_n, D_{n+1}, D_m, D_{m+1}$ の立ち上がり及び立ち下がりは全て等しくなる。

【0094】このとき、各出力回路 3 6 から出力されるデータ $D_n, D_{n+1}, D_m, D_{m+1}$ の立ち上がり及び立ち下がりは、CMOS インバータである出力回路 3 6 の動作速度によってのみ規定され、従来例のように緩やかになることはない。

【0095】従って、電源電圧 VCC が設定電圧 A より低い場合には、各出力回路 3 6 から出力されるデータ $D_n, D_{n+1}, D_m, D_{m+1}$ の立ち上がり及び立ち下がりに要する時間が短くなり、DRAMに対するアクセス時間を短くすることができる。

【0096】尚、本発明は上記実施例に限定されることなく、例えば、データ出力バッファ 3 1 から出力されるデータ $D_n, D_{n+1}, D_m, D_{m+1}$ の内、データ D_n, D_{n+1} に対して出力制御回路 3 5 を設けるようにしてもよく、1

12

つのデータ $D_n, D_{n+1}, D_m, D_{m+1}$ に対してだけ出力制御回路 3 5 を設けるようにしてもよい。

【0097】また、データ出力バッファ 3 1 から出力されるデータは 4 ビットに限ることはない。さらに、出力回路 3 6 は CMOS インバータに限らず、オーブンドレンイン形やスリーステート形等、他の形式の出力回路としてもよい。

【0098】加えて、設定電圧 A の異なる電圧検出回路 3 7 を複数個設け、それら電圧検出回路 3 7 が複数個の

10 出力制御回路 3 5 を制御するようにしてもよい。また、半導体記憶装置の出力回路だけでなく、オペアンプの出力回路等、どのような出力回路に利用してもよい。

【0099】

【発明の効果】以上詳述したように本発明によれば、半導体記憶装置の出力回路において、電源電圧が高い場合には過渡的に大きな出力電流が流れ出力信号にノイズが発生するのを防止し、電源電圧が低い場合には出力信号の立ち上がり及び立ち下がりを急峻にしてアクセス時間を短くすることができる優れた効果がある。

20 【図面の簡単な説明】

【図 1】本発明の原理説明図である。

【図 2】本発明の一実施例のDRAMのブロック回路図である。

【図 3】一実施例の電圧検出回路 3 7 の回路図である。

【図 4】一実施例の出力制御回路 3 5 の回路図である。

【図 5】一実施例の出力回路 3 6 の回路図である。

【図 6】一実施例の出力回路 3 6 から出力されるデータ $D_n, D_{n+1}, D_m, D_{m+1}$ の立ち上がりを示す特性図である。

30 【図 7】従来例のデータ出力バッファと出力回路の構成を示すブロック回路図である。

【図 8】従来例の出力回路 6 2 の回路図である。

【図 9】従来例の出力回路 6 2 から出力されるデータ $D_n, D_{n+1}, D_m, D_{m+1}$ の立ち上がりを示す特性図である。

【符号の説明】

1 電圧検出回路

2 出力制御回路

3 第 1 の出力回路

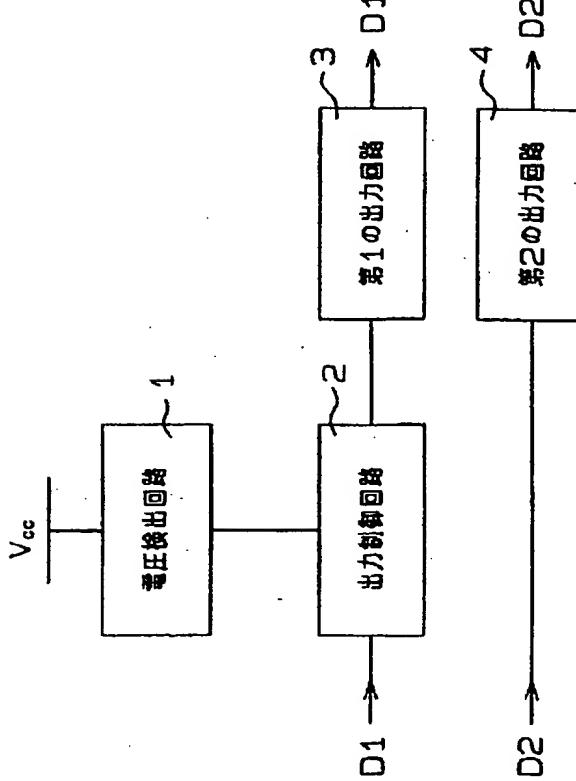
4 第 2 の出力回路

40 VCC 電源電圧

D1 第 1 の信号

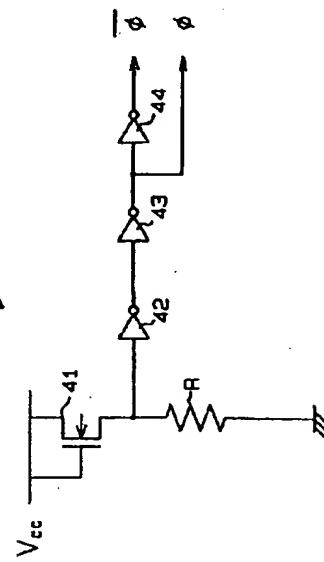
D2 第 2 の信号

【図1】

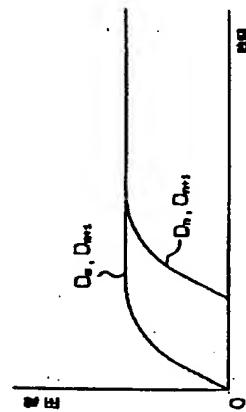


【図3】

—実用例の電圧検出回路37の回路図



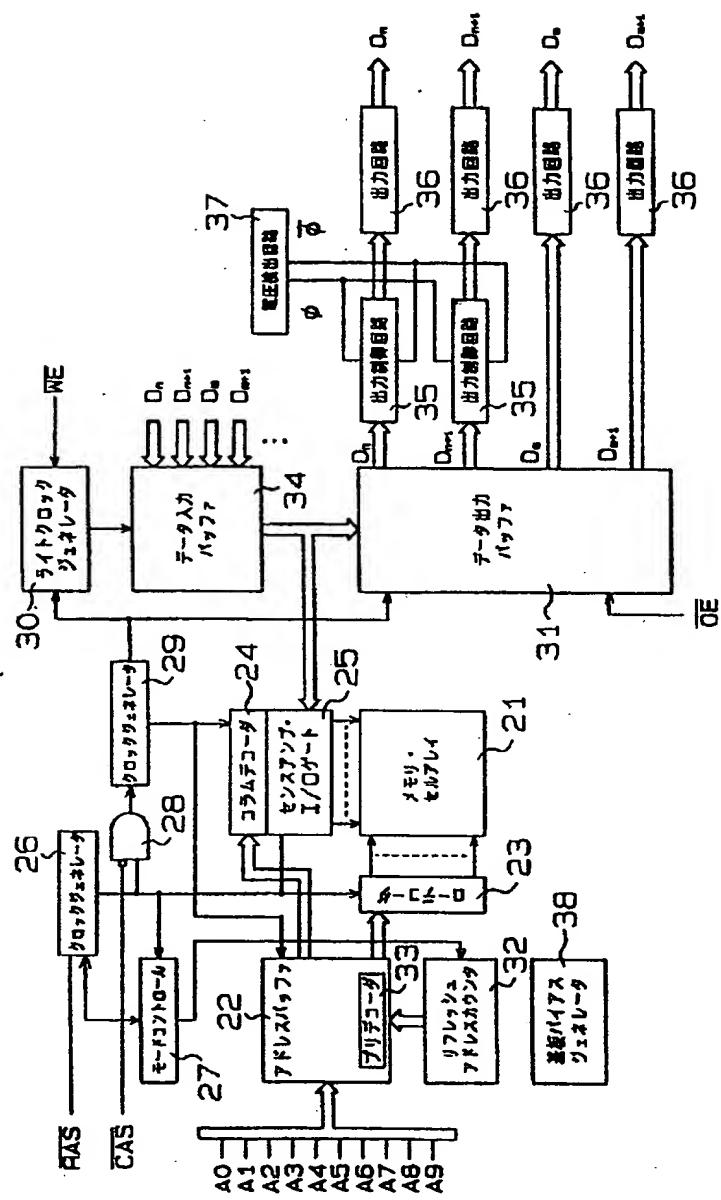
【図6】

—実用例の出力回路36から出力されるデータ $D_n, D_{n+1}, D_s, D_{s+1}$ の立ち上がりを示す特性図

FH 008630

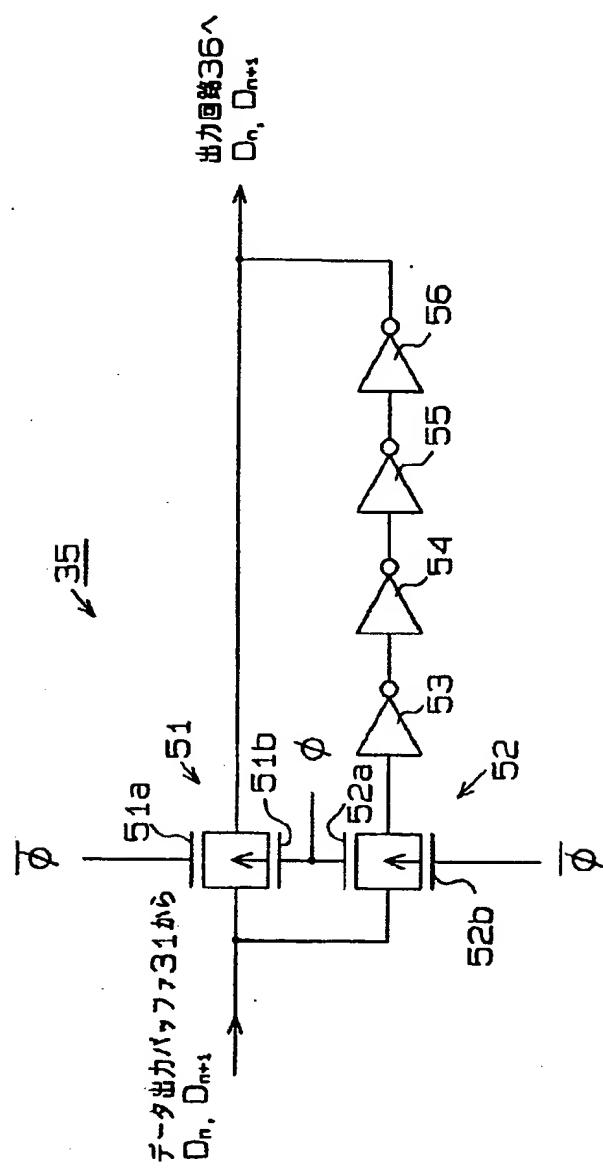
【図2】

本発明の一実施例のDRAMのブロック回路図



【図4】

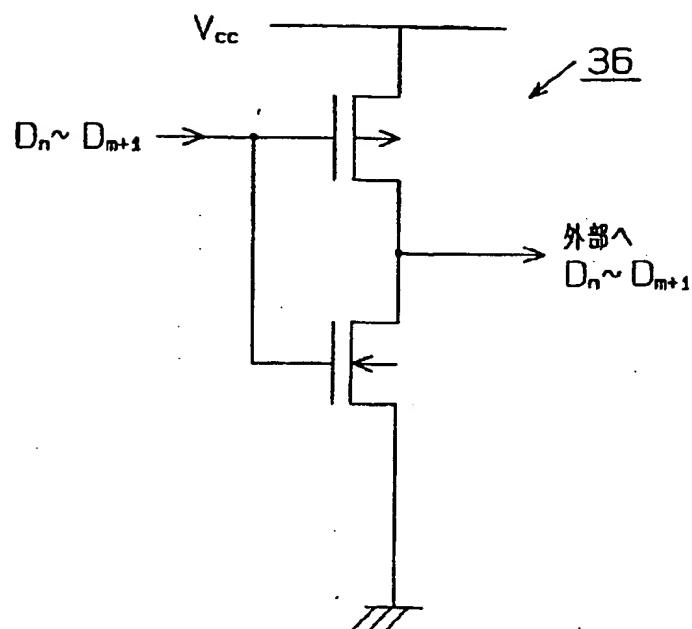
—実施例の出力制御回路35の回路図



FH 008632

【図5】

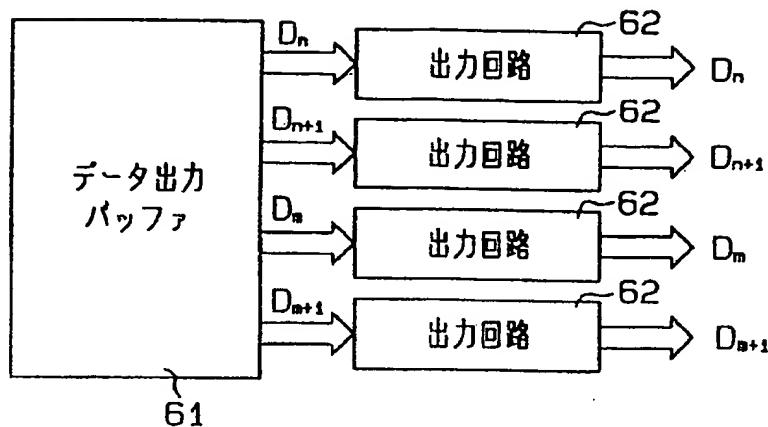
—実施例の出力回路36の回路図



FH 008633

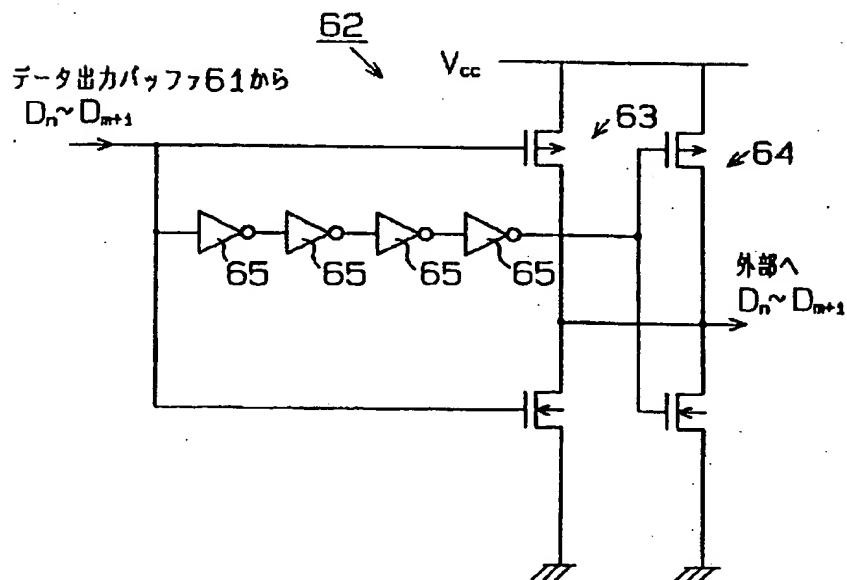
【図7】

従来例のデータ出力バッファと出力回路の構成を示すブロック回路図



【図8】

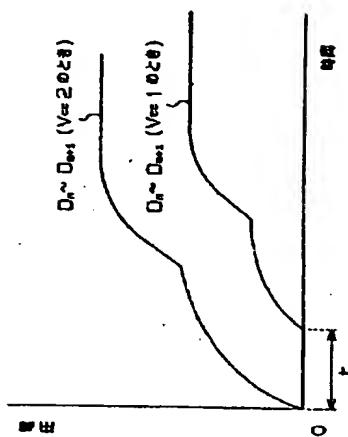
従来例の出力回路62の回路図



FH 008634

[図9]

從来例の出力目標 D_2 から出力されるデータ $D_1, D_{n+1}, D_n, D_{n-1}$ の
立ち上がりを示す特性図



フロントページの続き

(51) Int.Cl.⁵
H 03K 17/16

識別記号 庁内整理番号 F I
H 9184-5 J

技術表示箇所

FH 008635

(19) JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 06132747 A

(43) Date of publication of application: 13 . 05 . 94

(51) Int. Cl H03G 1/00
G11C 11/417
G11C 11/409
H03K 17/16

(21) Application number: 04282064

(71) Applicant: FUJITSU LTD FUJITSU VLSI LTD

(22) Date of filing: 20 . 10 . 92

(72) Inventor: FUKUI MOTOIWA

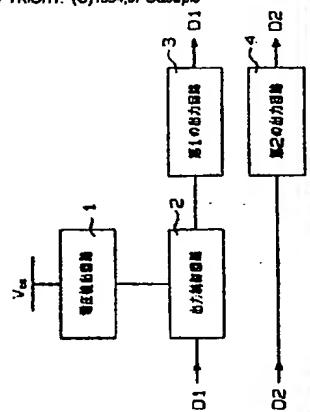
(54) SEMICONDUCTOR DEVICE

COPYRIGHT: (C)1994,JPO&Japl

(57) Abstract:

PURPOSE: To shorten access time by preventing the occurrence of noise in an output signal since large output current transitively flows when power voltage is high and making the rise and fall of the output signal to be steep when power voltage is low in the output circuit of a semiconductor storage device.

CONSTITUTION: A voltage detection circuit 1 detects whether power voltage VCC is more than setting voltage or not. An output control circuit 2 delays a first signal D1 inputted from an external part when power voltage VCC is more than setting voltage by previously decided time so as to output it and outputs the first signal D1 inputted from the external part without delaying it when power voltage VCC is lower than setting voltage. A first output circuit 3 inputs the first signal D1 outputted from the output control circuit 2 and outputs it. A second output circuit 4 directly inputs a signal D2 inputted from the external part with the first signal D1 without the output control circuit 2 and outputs it.



FH 008636

H06-132747

(19) [Country of Publication] Japan Patent Office (JP)
(12) [Official Report Type] Laid-Open Patent Publication (A)
(11) [Laid-Open Publication Number] H06-132747
(43) [Laid-Open Date] May 13, 1994
(54) [Title of Invention] Semiconductor apparatus
(51) [International Patent Classification, Fifth Version]

H03G 1/00 Z 7350-5J
G11C 11/417
11/409
H03K 17/16 H-9184-5J

[F1]

G11C 11/34 305 6741-5L
354 A 6741-5L

[Examination Request] Not requested

[Number of Claims] 1

[Total Number of Pages] 13

(31) [Application Number] H04-282064

(22) [Application Date] October 20, 1992

(71) [Applicant]

[Identification Number] 000005223

[Name or Title] Fujitsu Limited

[Address] 1015 Kamikodanaka, Nakahara-ku, Kawasaki, Kanagawa Prefecture

(71) [Applicant]

[Identification Number] 000237617

[Name or Title] Fujitsu VLSI Limited

[Address] 2-1844-2 Kozoji-cho, Kasugai, Aichi Prefecture

(72) [Representative]

[Name] Motoiwa Fukui

[Address] Fujitsu VLSI, 2-1844-2 Kozoji-cho, Kasugai, Aichi Prefecture

(74) [Agent]

[Benrishi]

[Name or Title] Hironobu Onda

FH 008637

(57) [Abstract]

[Objective] The objective of this invention is, in the output circuit of a semiconductor memory apparatus, to prevent the flow of excessively large current and the generation of noise in output signals when the power supply voltage is high, and to make the rise or fall of the output signal sharp and shorten access time when the power supply voltage is low.

[Structure] A voltage detection circuit 1 detects whether or not the power supply voltage VCC is larger than a set voltage. An output control circuit 2 outputs a first signal D1, input from the outside, with a predetermined time delay when the power supply voltage VCC is larger than the set voltage, and outputs the first signal D1, input from the outside, without a time delay when the power supply voltage VCC is lower than the set voltage. A first output circuit 3 inputs and then outputs the first signal D1 output by the output control circuit 2. A second output circuit 4 directly inputs and outputs a signal D2 input from the outside along with the aforementioned first signal D1, without going through the output control circuit 2.

[Scope of Claims]

[Claim 1] A semiconductor apparatus, comprising a voltage detection circuit (1) that detects whether or not the power supply voltage (VCC) is larger than a set voltage; an output control circuit (2) that outputs a first signal (D1), input from the outside, with a predetermined time delay when the power supply voltage (VCC) is larger than the set voltage, and outputs the first signal (D1), input from the outside, without a time delay when the power supply voltage (VCC) is lower than the set voltage; a first output circuit (3) that inputs and then outputs the first signal (D1) output by the output control circuit (2); and a second output circuit (4) that directly inputs and outputs a signal (D2) input from the outside along with the aforementioned first signal (D1), without going through the output control circuit (2).

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

The present invention is related to a semiconductor apparatus, and more specifically, to an output circuit of a semiconductor memory apparatus.

[0002]

In recent years, achieving multi-bit outputs has been sought in semiconductor memory apparatuses. In order to achieve multi-bit outputs, an output circuit is created for each bit, but in that case, when the same level of output signals are output simultaneously from each of the output circuits, noise occurs easily in the output signals.

[0003]

That is to say, when the same level of output signals are output simultaneously from each of the output circuits, the large electric current that is the combination of the output currents from each of the output circuits flows excessively, and because of a mismatch with the characteristic impedance of the output line and the like, ringing and other noise occurs easily in each of the output signals.

[0004]

In addition, in order to realize a more highly integrated semiconductor memory apparatus, in recent years the linewidth of the power supply line has been held to the minimum necessary, so that the voltage source capacity as viewed from each output circuit can no longer be considered large. Consequently, when the same level of output signals are output simultaneously from each of the output circuits, a large electric current is drawn at one time from the power supply, and variances in the power supply level cause erroneous operation within the semiconductor memory apparatus.

[0005]

In particular, accompanying the diversification of voltages used in semiconductor memory apparatuses (e.g., 5V class, 3V class), when a semiconductor memory apparatus is used with a high power supply voltage, the noise level of the output signal also increases, and hence mitigation of this has become an important issue.

[0006]

On the other hand, when a semiconductor memory apparatus is used with a low power supply voltage, the noise level of the output signal is decreased and the current drawn from the power supply also decreases, so shortening access time for the semiconductor memory apparatus becomes a more critical problem.

[0007]

In other words, what is being sought is to shorten the access time when reading data from (having data output by) a semiconductor memory apparatus by shortening the time until the level of the output signal is fixed at either the H level or the L level, that is to say the time needed for the rise or fall of the output signal.

[0008]

[Background of Related Art]

As shown in Fig. 7, with conventional semiconductor memory apparatuses, data D_n , D_{n+1} , D_m and D_{m+1} output from a data output buffer 61 are output to the outside via output circuits 62 each having the same circuit composition.

[0009]

Fig. 8 shows a circuit diagram of the output circuits 62. The source of each PMOS transistor that comprises CMOS inverters 63 and 64 is connected to a high-voltage power supply VCC, and the source of each NMOS transistor that comprises the CMOS inverters 63 and 64 is connected to ground.

[0010]

In addition, the output terminals of both CMOS inverters 63 and 64 are tied together, and the respective data D_n , D_{n+1} , D_m and D_{m+1} is output from this these common output terminal. Furthermore, each of the data items D_n , D_{n+1} , D_m and D_{m+1} output from the data output buffer 61 is input into the input terminal of the CMOS inverter 63. On the other hand, the same data D_n , D_{n+1} , D_m and D_{m+1} input into the CMOS inverter 63 is input into the input terminal of the CMOS inverter 64 via four inverters 65 connected in series.

[0011]

Accordingly, the CMOS inverter 64 acts with a time lag equal to the sum of the delay times of these inverters 65 in comparison to the CMOS inverter 63. That is to say, when the data D_n , D_{n+1} , D_m and D_{m+1} output from the data output buffer 61 rises to the H level from the L level, the output signal of the CMOS inverter 63 quickly switches to the L level from the H level. In contrast, the output signal of the CMOS inverter 64 switches to the L level from the H level with a delay equal to the sum of the delay times of the inverters 65.

[0012]

Similarly, when the data D_n , D_{n+1} , D_m and D_{m+1} output from the data output buffer 61 falls to the L level from the H level, the output signal of the CMOS inverter 63 quickly switches to the H level from the L level. In contrast, the output signal of the CMOS inverter 64 switches to the H level from the L level with a delay equal to the sum of the delay times of the inverters 65.

[0013]

Because the CMOS inverter 64 acts with a delay in comparison to the CMOS inverter 63 as thus described, the rise and fall of the data D_n , D_{n+1} , D_m and D_{m+1} output from the common output terminals of the two CMOS inverters 63 and 64 are gentle.

[0014]

That is to say, by causing the CMOS inverters 63, 64 to act with a time differences (staggered action), the rise and fall of the output signals (data D_n , D_{n+1} , D_m and D_{m+1}) of the output circuits 62 are made gentle.

[0015]

Accordingly, even when data D_n , D_{n+1} , D_m and D_{m+1} of the same level are simultaneously

output from the various output circuits 62, an excessively large output current does not flow from the various output circuits 62, and even if there are mismatches in the characteristic impedances of the output lines, ringing and other noise does not easily occur in the data D_n , D_{n+1} , D_m and D_{m+1} .

[0016]

In addition, when the linewidths of power supply lines are small and the power supply voltage seen from each of the output circuits 62 is small, even when data D_n , D_{n+1} , D_m and D_{m+1} of the same level are simultaneously output from the various output circuits 62 a large current is not drawn all at one time from the power supply. Consequently, variances in the power supply level (variances in the voltage VCC of the high-voltage power supply VCC and the ground) do not occur, and variances in the power supply level do not cause erroneous operations inside the semiconductor memory apparatus.

[0017]

Here, the rise and fall of the data D_n , D_{n+1} , D_m and D_{m+1} output from each of the output circuits 62 can be adjusted by altering the transistor size of the PMOS and NMOS transistors comprising the CMOS inverters 63 and 64.

[0018]

That is to say, by making the transistor size of the various MOS transistors in the CMOS inverter 63 smaller than that of the CMOS inverter 64, is it possible to make the rise and fall of the data D_n , D_{n+1} , D_m and D_{m+1} output from each of the output circuits 62 even more gentle.

[0019]

[Problems Overcome by this Invention]

Hence, the voltages used in semiconductor memory apparatuses in recent years are becoming diversified, and in addition to the 5V class that has been most common in the past, use of 3V class apparatuses is on the rise.

[0020]

Compared to the 5V class, in this 3V class the difference between the H level and the L level in the data D_n , D_{n+1} , D_m and D_{m+1} output from each of the output circuits 62 is smaller, being only 3/5 as large, and by that same amount the noise level is also smaller.

[0021]

Consequently, with the 3V class, shortening the access time in the semiconductor memory apparatus is more important than the noise in the data D_n , D_{n+1} , D_m and D_{m+1} output from each of the output circuits 62.

[0022]

That is to say, the time until the data D_n , D_{n+1} , D_m and D_{m+1} output from each of the output circuits 62 is fixed at either the H level or the L level, in other words the time needed for the rise or fall of the data D_n , D_{n+1} , D_m and D_{m+1} output from each of the output circuits 62, must be shortened.

[0023]

However, the time needed for the rise or fall of the data D_n , D_{n+1} , D_m and D_{m+1} output from each of the output circuits 62 becomes longer as the voltage VCC of the high-voltage power supply VCC (hereinafter, the power supply voltage VCC) falls.

[0024]

That is to say, as shown in Fig. 9, when the data D_n , D_{n+1} , D_m and D_{m+1} output from the output circuits 62 rise from the L level (=0V) to the H level (=VCC), when the power supply voltage VCC is low (VCC1 shown in Fig. 9), rising is delayed (by time t shown in Fig. 9) in comparison to when this voltage is high (VCC2 shown in Fig. 9).

[0025]

This is because the threshold voltage of the CMOS inverter 63 corresponds to the power supply voltage VCC, and when the power supply voltage VCC is low, the threshold voltage of the CMOS inverter 63 is also lowered by that amount, so that the action of the CMOS inverter 63 is delayed.

[0026]

Similarly, the threshold voltage of the CMOS inverter 64 also corresponds to the power supply voltage VCC, and when the power supply voltage VCC is low, the threshold voltage of the CMOS inverter 64 is also lowered by that amount, so that the action of the CMOS inverter 64 is delayed.

[0027]

Accordingly, as shown in Fig. 9, when the power supply voltage VCC is low (VCC1), the time needed for the data D_n , D_{n+1} , D_m and D_{m+1} output from each of the output circuits 62 to rise becomes longer than when the power supply voltage is high (VCC2).

[0028]

Similarly, when the power supply voltage is low, the time needed for the data D_n , D_{n+1} , D_m and D_{m+1} output from each of the output circuits 62 to fall becomes longer than when the power supply voltage is high.

[0029]

In this way, in conventional output circuits 62, by providing two CMOS inverters 63 and 64 and causing them to have a staggered action, the rise and fall of the output signals of the output circuits 62 can be made gentle and the flowing of excessively large output currents is prevented.

[0030]

Consequently, when the power supply voltage VCC is large (5V class), it is possible to effectively mitigate variances in the power supply level and noise in the output signal of the output circuits 62. However, even in the case where the power supply voltage VCC is low (3V class), in which an excessively large output current does not flow and variances in the power supply level and noise in the output signals of the output circuits 62 do not present a problem, the rise and fall of the output signals of the output circuits 62 end up being gentle. Hence, the

problem arises that the access time in the semiconductor memory apparatus becomes longer when the power supply voltage VCC is low.

[0031]

In consideration of the foregoing problems, it is an objective of the present invention to provide an output circuit for a semiconductor memory apparatus in which the occurrence of noise in the output signal and the flow of excessively large output currents are prevented when the power supply voltage is high, and in which the access time is shortened by making the rise and fall of the output signals sharp when the power supply voltage is low.

[0032]

[Problem Resolution Means]

Fig. 1 is a drawing explaining the principles of the present invention. A voltage detection circuit 1 detects whether or not the power supply voltage VCC is at least as large as a set voltage.

[0033]

An output control circuit 2 outputs a first signal D1, input from the outside, with a predetermined time delay when the power supply voltage VCC is at least as large as the set voltage, and outputs the first signal D1, input from the outside, without a delay when the power supply voltage VCC is smaller than the set voltage.

[0034]

A first output circuit 3 receives and outputs the first signal D1 output from the output control circuit 2. A second output circuit 4 outputs a second signal D2, input directly from outside, without passing through the output control circuit 2 and input along with the aforementioned first signal D1.

[0035]

[Operation]

Accordingly, with the present invention, when the power supply voltage VCC is at least as large as the set voltage, the output control circuit 2 outputs the signal D1, input from the outside, to the first output circuit 3 with a predetermined time delay. In addition, when the power supply voltage VCC is lower than the set voltage, the output control circuit 2 outputs the signal D1, input from the outside, to the first output circuit 3 with no delay.

[0036]

On the other hand, in the second output circuit 4 the second signal D2 input from the outside is input directly without passing through the output control circuit. Consequently, when the power supply voltage VCC is at least as large as the set voltage, if the signals D1 and D2 from the outside are input simultaneously the first signal D1 output from the first output circuit 3 is output with the time delay of the output control circuit 2 in comparison to the second signal D2 output from the second control circuit 4.

[0037]

In addition, when the power supply voltage VCC is lower than the set voltage, if the signals D1 and D2 from the outside are input simultaneously the first signal D1 output from the first output circuit 3 and the second signal D2 output from the second output circuit 4 are output

simultaneously.

[0038]

[Embodiment]

Below, an embodiment of the present invention in the output circuits of dynamic RAM (DRAM) is explained with reference to the drawings.

[0039]

Fig. 2 shows the composition of the DRAM of the present embodiment. A memory cell array 1 is composed of memory cells (not shown in the diagram) arranged two-dimensionally, and each memory cell stores one bit of data.

[0040]

External addresses A0 to A9 are divided into row addresses and column addresses by an address buffer 22. The row addresses are input into a row decoder 23 and the column addresses are input into a column decoder 24.

[0041]

Furthermore, the external addresses A0 to A9 are converted into one combination of the various X and Y selector signals by the row decoder 23 and column decoder 24. Through these various X and Y selector signals, one combination of the various X and Y selector lines (not shown in the diagram) is selected, and the memory cell at the intersection of the selected X and Y selector lines is determined. The memory cell thus determined becomes the target of a reading or writing action. The Y selector signal created by the column decoder 24 is output to the memory cell array 21 via a sensor amp and an input/output (I/O) gate 25.

[0042]

A clock generator 26 controls the sensor amp and I/O gate 25, a mode control 27 and the row decoder 23 on the basis of a row address strobe signal RAS. The mode control 27 and the clock generator 26 are designed so as to be mutually controlled.

[0043]

A column address strobe signal CAS is input into the L active input terminal of an AND circuit 28, and a control signal from the clock generator 26 is input into the H active input terminal.

[0044]

A clock generator 29 controls the address buffer 22, column decoder 24, a write clock generator 30 and a data output buffer 31 on the basis of the level of the output signal from the AND circuit.

[0045]

The mode control 27 controls a refresh address counter 32, and the refresh address signal created by the refresh address counter 32 is output to a predecoder 33 inside the address buffer 22.

[0046]

That is to say, the mode control 27 controls the refresh address counter 32 so as to execute a CAS before RAS (CBR) refresh on the basis of the row address strobe signal **RAS** and the column address strobe signal **CAS**.

[0047]

The write clock generator 30 controls a data input buffer 34 on the basis of the control signal from the clock generator 29 and a write enable signal **WE**.

[0048]

That is to say, the data input buffer 34 outputs to the sensor amp I/O gate 25 or the data output buffer 31 the data D_n , D_{n+1} , D_m and D_{m+1} input from outside, on the basis of a control signal from the write clock generator 30.

[0049]

The data input buffer 31 outputs as the four-bit data D_n , D_{n+1} , D_m and D_{m+1} data read out from the memory cell array 21 or data output from the data input buffer 34, on the basis of an output enable signal **OE**.

[0050]

Of this data D_n , D_{n+1} , D_m and D_{m+1} output from the data output buffer 31, the data D_n and D_{n+1} are respectively output to the outside via output control circuits 35 and output circuits 36. In addition, of this data D_n , D_{n+1} , D_m and D_{m+1} output from the data output buffer 31, the data D_m and D_{m+1} are output to the outside via output circuits 36.

[0051]

That is to say, data stored in the appropriate memory cell within the memory cell buffer 21 selected by the external address A0 to A9 is read out and is output to the data output buffer 31 via the sensor amp and I/O gate 25. Furthermore, data read out from the memory cell is output to each of the output circuits 36 directly from the data buffer 31 or via the output control circuit 35, and is output as data D_n , D_{n+1} , D_m and D_{m+1} from each of the output circuits 36.

[0052]

In addition, when verify and check functions are accomplished, it is possible for the data D_n , D_{n+1} , D_m and D_{m+1} input into the data input buffer 34 to be output without change from the data output buffer 31.

[0053]

Each of the output control circuits 35 has the same composition and is controlled by control signals N and \bar{q} from a voltage detection circuit 37.

[0054]

Furthermore, within the DRAM a substrate bias generator 38 is provided, and the appropriate substrate bias is applied to the semiconductor substrate that forms the DRAM.

[0055]

Fig. 3 shows the circuit diagram of the voltage detection circuit 37. The voltage

detection circuit 37 is composed of an enhanced NMOS transistor 41, a resistor R and CMOS inverters 42 to 44.

[0056]

The gate and drain of the NMOS transistor 41 are connected to the high-voltage power supply VCC, while the source is connected to ground via the resistor R and is also connected to the input terminal of the CMOS inverter 42.

[0057]

The CMOS inverters 42 to 44 are connected in series, and the control signal N from the output terminal of the CMOS inverter 43 or the control signal \bar{Q} from the output terminal of the CMOS inverter 44 are output.

[0058]

Accordingly, the drain voltage and gate voltage in the NMOS transistor 41 are equal to the voltage VCC of the high-voltage power supply VCC (hereinafter, the power supply voltage VCC). Consequently, when the power supply voltage VCC is lower than the threshold voltage V_{th41} of the NMOS transistor 41, the voltage V_{GS41} between the source and gate of the NMOS transistor 41 is lower than the threshold voltage V_{th41} ($V_{GS41} < V_{th41}$). When this occurs, the NMOS transistor 41 is in the off region and the source voltage VS of the NMOS transistor 41 (that is to say the input voltage for the inverter 42) is at ground level (that is to say, the L level).

[0059]

As a result, the control signal N, which is the output signal from the CMOS inverter 43, is at the L level, and the control signal \bar{Q} , which is the output signal from the CMOS inverter 44, is at the H level (that is to say, the power supply voltage VCC).

[0060]

On the other hand, when the power supply voltage VCC is higher than the threshold voltage V_{th41} of the NMOS transistor 41, the voltage V_{GS41} between the source and gate of the NMOS transistor 41 is at least as high as the threshold voltage V_{th41} ($V_{GS41} \geq V_{th41}$). When this occurs, the NMOS transistor 41 is in the on region and the source voltage VS of the NMOS transistor 41 attains the value of the power supply voltage VCC less the threshold voltage V_{th41} ($VS = VCC - V_{th41}$).

[0061]

Now, when the voltage V_{DS41} between the source and drain of the NMOS transistor 41 is lower than the value found by subtracting the threshold voltage V_{th41} from the voltage V_{GS41} between the source and gate ($V_{DS41} < V_{GS41} - V_{th41}$), the NMOS transistor 41 is in the linear region.

[0062]

When the NMOS transistor 41 is in the linear region, the source voltage VS of the NMOS transistor 41 is lower than the threshold voltage of the CMOS inverter 42, and the output signal from the CMOS inverter 42 is at the H level.

[0063]

As a result, the control signal N, which is the output signal from the CMOS inverter 43, is at the L level, and the control signal \bar{q} , which is the output signal from the CMOS inverter 44, is at the H level.

[0064]

In addition, when the voltage VDS41 between the source and drain of the NMOS transistor 41 is higher than the value found by subtracting the threshold voltage Vth41 from the voltage VGS41 between the source and gate ($VDS41 \geq VGS41 - Vth41$), the NMOS transistor 41 is in the saturated region.

[0065]

When the NMOS transistor 41 is in the saturated region, the source voltage VS of the NMOS transistor 41 becomes larger than the threshold voltage of the CMOS inverter 42, and the output signal of the CMOS inverter 42 goes to the L level.

[0066]

As a result, the control signal N, which is the output signal from the CMOS inverter 43, goes to the H level, and the control signal \bar{q} , which is the output signal from the CMOS inverter 44, goes to the L level.

[0067]

In this way, when the voltage VDS41 between the source and drain of the NMOS transistor 41 is lower than the value found by subtracting the threshold voltage Vth41 from the voltage VGS41 between the source and gate (that is to say, when the NMOS transistor 41 is in the off region, or is in the on region and in the linear region), the control signal N goes to the L level and the control signal \bar{q} goes to the H level.

[0068]

In addition, when the voltage VDS41 between the source and drain of the NMOS transistor 41 is higher than the value found by subtracting the threshold voltage Vth41 from the voltage VGS41 between the source and gate (that is to say, when the NMOS transistor 41 is in the on region and in the saturated region), the control signal N goes to the H level and the control signal \bar{q} goes to the L level.

[0069]

That is to say, when the power supply voltage VCC is lower than a voltage (hereinafter, the set voltage A) set in accordance with the threshold voltage Vth41 of the NMOS transistor 41, the control signal N goes to the L level and the control signal \bar{q} goes to the H level. On the other hand, when the power supply voltage VCC is at least as large as the set voltage A, the control signal N goes to the H level and the control signal \bar{q} goes to the L level.

[0070]

However, the threshold voltage Vth41 of the NMOS transistor 41 can be appropriately adjusted by changing the transistor size of the NMOS transistor 41.

[0071]

Accordingly, the aforementioned set voltage A can be set appropriately by changing the transistor size of the NMOS transistor 41. By setting the resistance value of the resistor R adequately high, it is possible to make the penetrating current that flows to ground from the high-voltage power supply VCC via the NMOS transistor 41 and the resistor R small when the NMOS transistor 41 is in the on region. Accordingly, even when the NMOS transistor switches to the on region, the power consumption does not increase.

[0072]

Fig. 4 shows the circuit diagram of the output control circuits 35. Data D_n and D_{n+1} output from the data output buffer 31 are input into one terminal of CMOS transmission gates 51 and 52. Furthermore, the other terminal of the CMOS transmission gate 51 is connected directly to the output circuit 36, and the other terminal of the CMOS transmission gate 52 is connected to the output circuit 36 via four inverters 53 to 56 connected in series.

[0074]

The CMOS transmission gate 51 is composed of an NMOS transistor 51a and a PMOS transistor 51b. In addition, the CMOS transmission gate 52 is composed of an NMOS transistor 52a and a PMOS transistor 52b.

[0075]

Furthermore, the control signal \bar{q} from the voltage detection circuit 37 is input into the NMOS transistor 51a and the PMOS transistor 52b in the two gates. In addition, the control signal N from the voltage detection circuit 37 is input into the NMOS transistor 51b and the PMOS transistor 52a in the two gates.

{Translator's note: The preceding sentence appears to have reference numbers 51b and 52a backwards}.

[0076]

Accordingly, when the control signal N is at the L level and the control signal \bar{q} is at the H level, the CMOS transmission gate 51 opens and the CMOS transmission gate 52 closes. Conversely, when the control signal N is at the H level and the control signal \bar{q} is at the L level, the CMOS transmission gate 52 opens and the CMOS transmission gate 51 closes.

[0077]

When the CMOS transmission gate 52 opens and the CMOS transmission gate 51 closes, the data D_n and D_{n+1} output from the data output buffer 31 is output to the output circuits 36 via the four inverters 53 to 56.

[0078]

On the other hand, when the CMOS transmission gate 51 opens and the CMOS transmission gate 52 closes, the data D_n and D_{n+1} output from the data output buffer 31 is output to the output circuits 36 directly.

[0079]

That is to say, when the output signal N is at the H level and the output signal \bar{N} is at the L level, the data D_n and D_{n+1} output from the data output buffer 31 is output to each of the output circuits 36 with a time delay equal to the sum of the delay times of each of the inverters 53 to 56, in comparison to the case where the output signal N is at the L level and the output signal \bar{N} is at the H level.

[0080]

However, as described above, the control signal N goes to the L level and the control signal \bar{N} goes to the H level when the power supply voltage VCC is lower than the set voltage A. In addition, the control signal N goes to the H level and the control signal \bar{N} goes to the L level when the power supply voltage VCC is at least as large as the set voltage A.

[0081]

Accordingly, when the power supply voltage VCC is at least as large as the set voltage A, the data D_n and D_{n+1} output from the data output buffer 31 are output to each of the output circuits 36 with a time delay equal to the sum of the delay times of each of the inverters 53 to 56, in comparison to the case where the power supply voltage VCC is lower than the set voltage A.

[0082]

Fig. 5 shows a circuit diagram for the output circuits 36. The output circuits 36 are CMOS inverters, and into them are input the data D_m and D_{m+1} sent directly from the data output buffer 31, or the data D_n and D_{n+1} sent via the output control circuits 35.

[0083]

Furthermore, the output circuits 36 output the various input data D_n , D_{n+1} , D_m and D_{m+1} to the outside. Next, the action of the present embodiment comprised as described above will be described with reference to Fig. 6. The action of DRAM is commonly known and does not have a direct relationship to the main point of the present invention, and hence explanation of such is omitted.

[0084]

When the power supply voltage VCC is at least as large as the set voltage A, the gate 52 of each of the output control circuits 35 opens and the gate 51 closes. Accordingly, out of the data D_n , D_{n+1} , D_m and D_{m+1} output from the data output buffer 31, the data D_n and D_{n+1} are output to each of the output circuits 36 with a time delay equal to the sum of the delay times of each of the inverters 53 to 56, in comparison to the data D_m and D_{m+1} .

[0085]

Consequently, as shown in Fig. 7, when the data D_n , D_{n+1} , D_m and D_{m+1} output from the data output buffer 31 falls to the L level from the H level, out of the data D_n , D_{n+1} , D_m and D_{m+1} output from each of the output circuits 36, the data D_n and D_{n+1} switch to the H level from the L level with a delay in comparison to the data D_m and D_{m+1} .

[0086]

Similarly, when the data D_n , D_{n+1} , D_m and D_{m+1} output from the data output buffer 31 rises to the H level from the L level, out of the data D_n , D_{n+1} , D_m and D_{m+1} output from each of the output circuits 36, the data D_n and D_{n+1} switch to the L level from the H level with a delay in

comparison to the data D_n and D_{n+1} .

[0087]

In this manner, when the power supply voltage VCC is at least as large as the set voltage A, out of the data D_n , D_{n+1} , D_m and D_{m+1} output from each of the output circuits 36, the rising and falling of the data D_n and D_{n+1} are delayed in comparison to that of the data D_m and D_{m+1} .

[0088]

Accordingly, even when data D_n , D_{n+1} , D_m and D_{m+1} of the same level are output simultaneously from the data output buffer 31, the sum of the output currents of each of the output circuits 36 does not become excessively large, and even when there is a mismatch with the characteristic impedance of the output lines, ringing and other noise are not generated in the data D_n , D_{n+1} , D_m and D_{m+1} .

[0089]

In addition, when the linewidth of the power supply lines is small and the voltage source capacity is small when viewed from each of the output circuits 36, even if data D_n , D_{n+1} , D_m and D_{m+1} of the same level are output simultaneously from the data output buffer 31, a large current is not drawn all at once from the power supply. Consequently, variances in the power supply level (variances in the power supply voltage VCC and the ground level) do not occur, and variances in the power supply level do not cause erroneous operations inside the semiconductor memory apparatus.

[0090]

On the other hand, when the power supply voltage is smaller than the set voltage A, the gate 51 of each of the output control circuits 35 opens and the gate 52 closes. Accordingly, the data D_n , D_{n+1} , D_m and D_{m+1} output from the data output buffer 31 are all output simultaneously to each of the output circuits 36.

[0091]

Consequently, when the data D_n , D_{n+1} , D_m and D_{m+1} output from the data output buffer 31 fall to the L level from the H level, the data D_n , D_{n+1} , D_m and D_{m+1} output from each of the output circuits 36 all switch to the H level from the L level simultaneously.

[0092]

Similarly, when the data D_n , D_{n+1} , D_m and D_{m+1} output from the data output buffer 31 rise to the H level from the L level, the data D_n , D_{n+1} , D_m and D_{m+1} output from each of the output circuits 36 all switch to the L level from the H level simultaneously.

[0093]

In this manner, when the power supply voltage VCC is lower than the set voltage A, the rising and falling of the data D_n , D_{n+1} , D_m and D_{m+1} output from each of the output circuits 36 are all equivalent.

[0094]

Hence, the rising and falling of the data D_n , D_{n+1} , D_m and D_{m+1} output from each of the

output circuits 36 are prescribed by only the operating speed of the output circuits 36, which are CMOS inverters, and do not become gentle as in the prior art.

[0095]

Accordingly, when the power supply voltage VCC is lower than the set voltage A, the time needed for the rising and falling of the data D_n , D_{n+1} , D_m and D_{m+1} output from each of the output circuits 36 is shortened, making it possible to shorten the access time for the DRAM.

[0096]

The present invention is not limited to the above-described embodiment, and for example, out of the data D_n , D_{n+1} , D_m and D_{m+1} output from the data output buffer 31, an output control circuit may be provided for the data D_m and D_{m+1} , or an output control circuit may be provided for one of the data D_n , D_{n+1} , D_m and D_{m+1} .

[0097]

In addition, the data output from the data output buffer 31 is not limited to four-bit data. Furthermore, the output circuits 36 are not limited to CMOS inverters, but may be other types of output circuits such as open drain type or three-state type.

[0098]

Additionally, multiple voltage detection circuits 37 with different set voltages A may be provided, and these voltage detection circuits 37 may be made to control multiple output control circuits 35. Furthermore, the present invention is not limited to the output circuits of a semiconductor memory apparatus, but may be used in any type of output circuit, such as the output circuits of operational amplifiers.

[0099]

[Efficacy of the Invention]

With the present invention as described above, an excellent efficacy is achieved in which the occurrence of noise in the output signal and the flow of excessively large output currents are prevented when the power supply voltage is high, and in which the access time is shortened by making the rise and fall of the output signals sharp when the power supply voltage is low, in the output circuits of a semiconductor memory apparatus.

[Brief Description of Drawings]

[Fig. 1]

Fig. 1 is a drawing explaining the principles of the present invention.

[Fig. 2]

Fig. 2 is a block circuit diagram of a DRAM in an embodiment of the present invention.

[Fig. 3]

Fig. 3 is the circuit diagram of the voltage detection circuit 37 of the embodiment.

[Fig. 4]

Fig. 4 is the circuit diagram of the output control circuits 35 of the embodiment.

[Fig. 5]

Fig. 5 is the circuit diagram of the output circuits 36 of the embodiment.

[Fig. 6]

Fig. 6 is a characteristic diagram showing the rising of the data D_n , D_{n+1} , D_m and D_{m+1} output from the output circuits 36 of the embodiment.

[Fig. 7]

Fig. 7 is a block circuit diagram showing the composition of the data output buffer and output circuits in the prior art.

[Fig. 8]

Fig. 8 is a circuit diagram of the output circuits in the prior art.

[Fig. 9]

Fig. 9 is a characteristic diagram showing the rising of the data D_n , D_{n+1} , D_m and D_{m+1} output from the output circuit 62 of the prior art.

[Explanation of Symbols]

- 1 voltage detection circuit
- 2 output control circuit
- 3 first output circuit
- 4 second output circuit
- VCC power supply voltage
- D1 first signal
- D2 second signal

[Drawings]

[Fig. 1]

Drawing explaining the principles of the present invention.

- 1 voltage detection circuit
- 2 output control circuit
- 3 first output circuit
- 4 second output circuit

[Fig. 3]

Circuit diagram of the voltage detection circuit 37 of the embodiment.

[Fig. 6]

Characteristic diagram showing the rising of the data D_n , D_{n+1} , D_m and D_{m+1} output from the output circuits 36 of the embodiment.

{vertical axis}: voltage

{horizontal axis}: time

[Fig. 2]

Block circuit diagram of a DRAM in an embodiment of the present invention.

- 21 memory cell array
- 22 address buffer
- 23 row decoder
- 24 column decoder
- 25 sensor amp and I/O gate
- 26 clock generator
- 27 mode control
- 29 clock generator
- 30 write clock generator
- 31 data output buffer
- 32 refresh address counter
- 33 predecoder
- 34 data input buffer
- 35 output control circuit
- 36 output circuit
- 37 voltage detection circuit
- 38 substrate bias generator

[Fig. 4]

Circuit diagram of the output control circuits 35 of the embodiment.

D_n , D_{n+1} from data output buffer 31

D_n , D_{n+1} to output circuits 36

[Fig. 5]

Circuit diagram of the output circuits 36 of the embodiment.

D_n -- D_{m+1} to outside

[Fig. 7]

FH 008653

Block circuit diagram showing the composition of the data output buffer and output circuits in the prior art.

61 data output buffer

62 output circuit

[Fig. 8]

Circuit diagram of the output circuits in the prior art.

$D_n \rightarrow D_{m+1}$ from data output buffer 61

$D_n \rightarrow D_{m+1}$ to outside

[Fig. 9]

Characteristic diagram showing the rising of the data D_n , D_{n+1} , D_m and D_{m+1} output from the output circuit 62 of the prior art.

{vertical axis}: voltage

{horizontal axis}: time

$D_n \rightarrow D_{m+1}$ (in case of VCC2)

$D_n \rightarrow D_{m+1}$ (in case of VCC1)

FH 008654